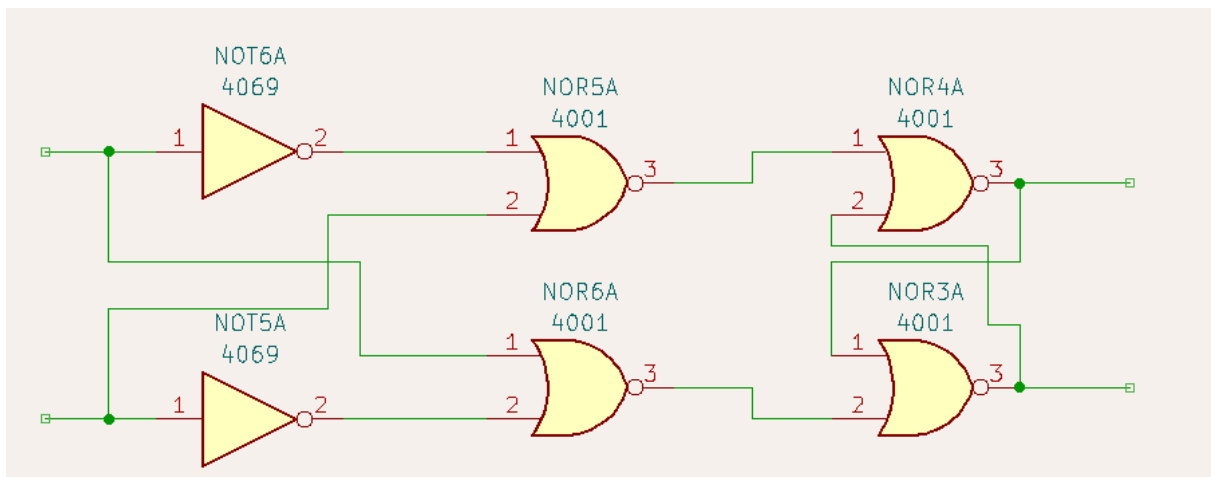


Kolik je JK flip-flopů (latchů)

V jednom ze svých předchozích textů jsem rozebral, kolik je flip-flopů a kolik latchů. Prvně si to shrneme.

SR latch

Základním klopným obvodem je SR (RS) latch. SR latch (set-reset klopný obvod řízený úrovní) je možné zapojit dvěma způsoby, buď pomocí NAND nebo pomocí NOR hradel. Tento klopný obvod nepracuje s hodinami a při vstupu [1,1] je v zakázaném stavu (nastaví 0 na oba výstupy, které mají být ve vzájemné negaci). Náhodná online literatura uvádí, že zakázaný stav řešíme zavedením hodin do obvodu a zkonstruováním JK flipflopů. Jak si záhy ukážeme, tento přístup má své zásadní nedostatky. Uvedu zde, že jednou z možností, jak se zbavit zakázaných stavů, je předřadit před RS latch hradla, která obvod do zakázaného stavu nepustí, viz obrázek. Takovýto obvod má všechny ostatní neuduhy RS latche kromě zakázaného stavu.



Klopný obvod typu D

Obvodem, který pracuje s jedním vstupem a hodinami je klopný obvod typu D. Existují 4 klopné obvody typu D: D latch (klopný obvod typu D řízený úrovní), klopný obvod (flip-flop) typu D řízený vzestupnou hranou, klopný obvod (flip-flop) typu D řízený sestupnou hranou a klopný obvod (flip-flop) typu D řízený oběma hranami. D latch může změnit hodnotu na výstupu během jednoho hodinového cyklu libovolně mnohokrát (pokud je hodinový vstup aktivní), zatímco flip-flopy mění hodnotu pouze v diskretních okamžicích dle svého typu.

Klopný obvod typu T

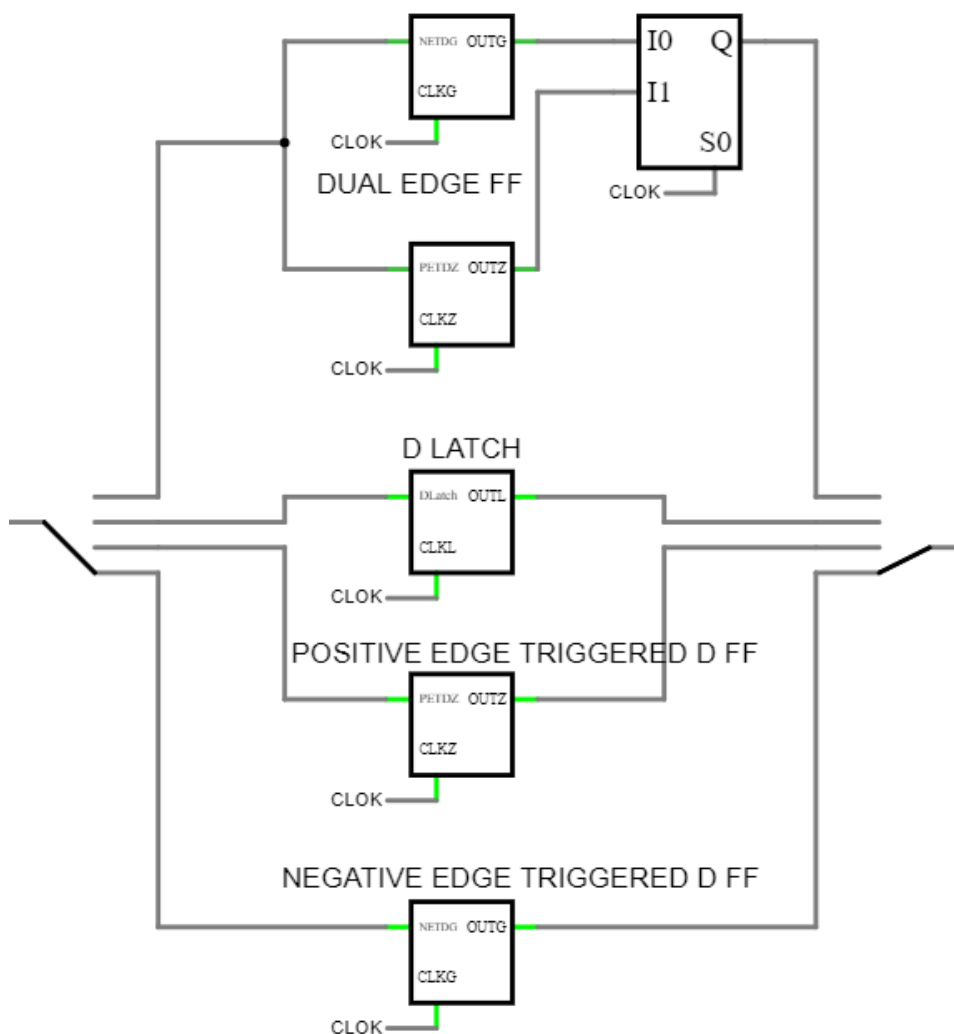
Smyslem T flip-flop/latche je "toglovat". Toglování je neustálé přepínání ze stavu 0 do stavu 1 a zpět. Je-li vstup T aktivní, výstup togluje z nuly na jedničku a zpět. Klopný obvod T je nutné vždy definovat dvěma parametry: 1) jaká je frekvence/perioda toglování; a 2) kdy po aktivaci vstupu T poprvé klopný obvod zatogluje. Pokud bychom se hlouběji zamysleli nad 1), nutně nás musí napadnout, že existují tři myslitelné periody odvoditelné z hodinového vstupu: a) perioda se blíží limitně nule (astabilní zapojení), flip-flop/latch togluje jak nejrychleji

mu to umožní hardware, ze kterého je sestaven; b) perioda toglování je rovna periodě hodinového vstupu, c) perioda toglování je dvojnásobkem periody hodinového vstupu a obvod togluje na vzestupné hraně a d) perioda toglování je dvojnásobkem periody hodinového vstupu a obvod togluje na sestupné hraně. Existují také 4 typy T flip-flopů v závislosti na tom, který předřazený obvod D použijeme (latch, rising edge, falling edge, dual edge), jinými slovy při které příležitosti poprvé zatoglujeme. Kombinatoricky máme tedy $4 \times 4 = 16$ různých T klopných obvodů.

Klopný obvod typu JK

V komentářích k předchozím textům jsem vyslovil domněnku, že existuje 192 JK flip-flopů. Ukážeme si, jak je rozlišovat a jak je stavět. Je jich nejméně 256.

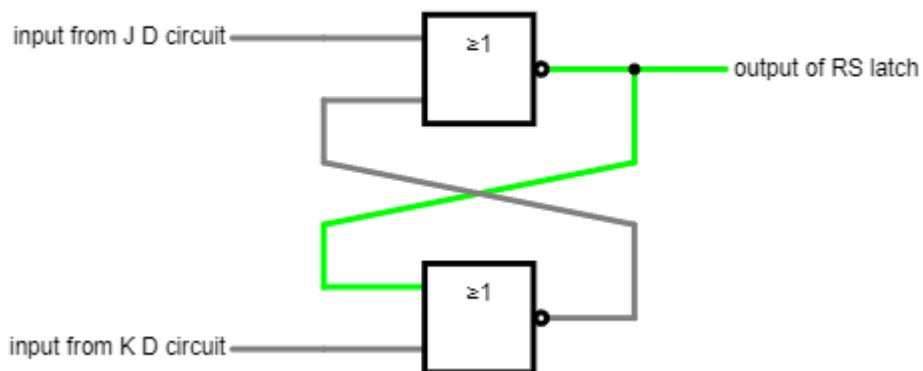
Základem konstrukce JK klopného obvodu jsou 2 D klopné obvody na J/K vstupech. Každý z těchto 2 klopných obvodů se může chovat jedním ze 4 způsobů, které jsme si popsali u klopného obvodu typu D.



Legenda:

- Dual Edge D Flip Flop (ze 3 částí)
- D latch
- PETD - Positive Edge Triggered D Flip Flop (klopný obvod (flip-flop) typu D řízený vzestupnou hranou)
- NETD - Negative Edge Triggered D Flip Flop (klopný obvod (flip-flop) typu D řízený sestupnou hranou)

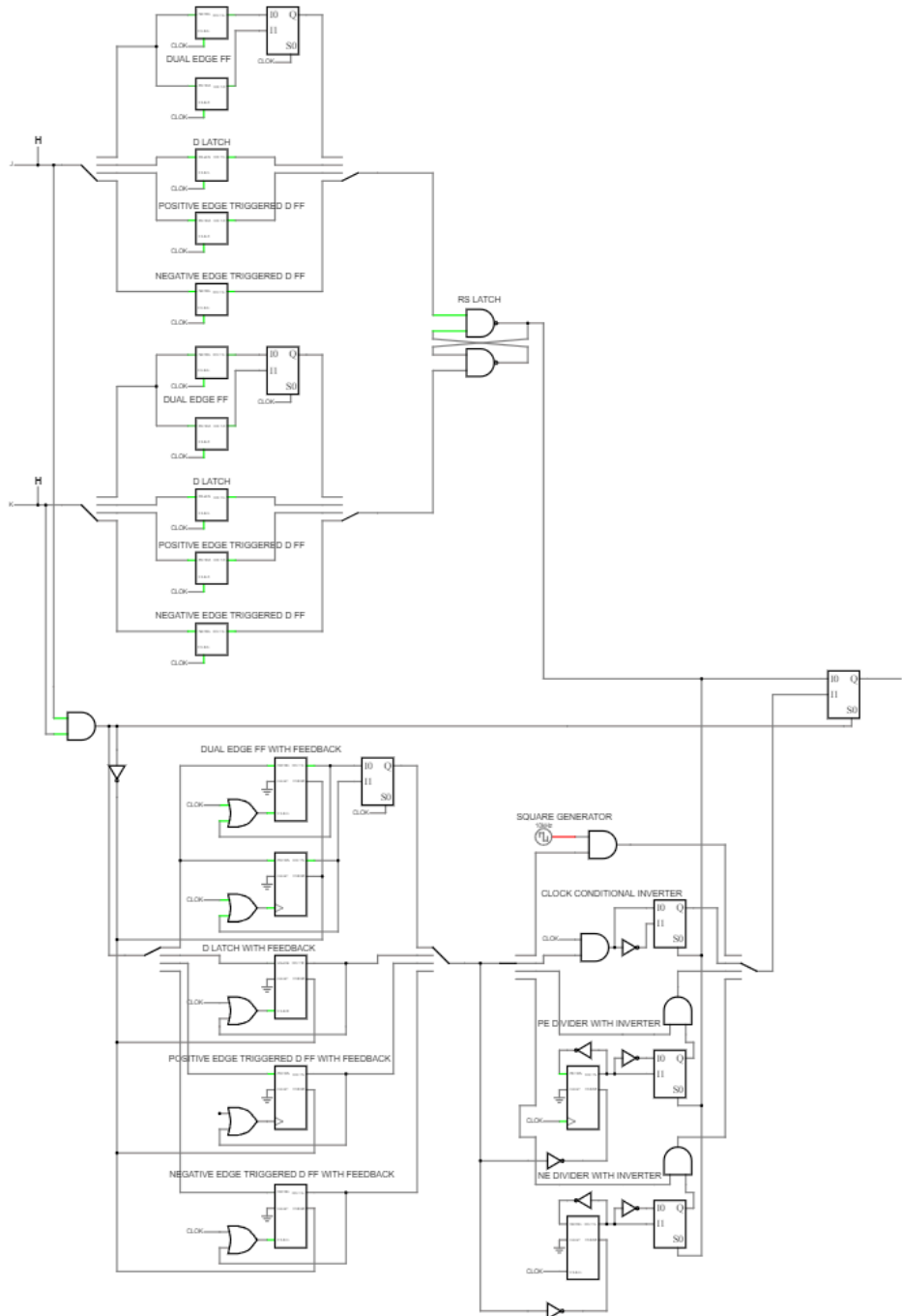
Výstupy z těchto Dček zapojíme do RS latche a realizujeme tím paměť obvodu.



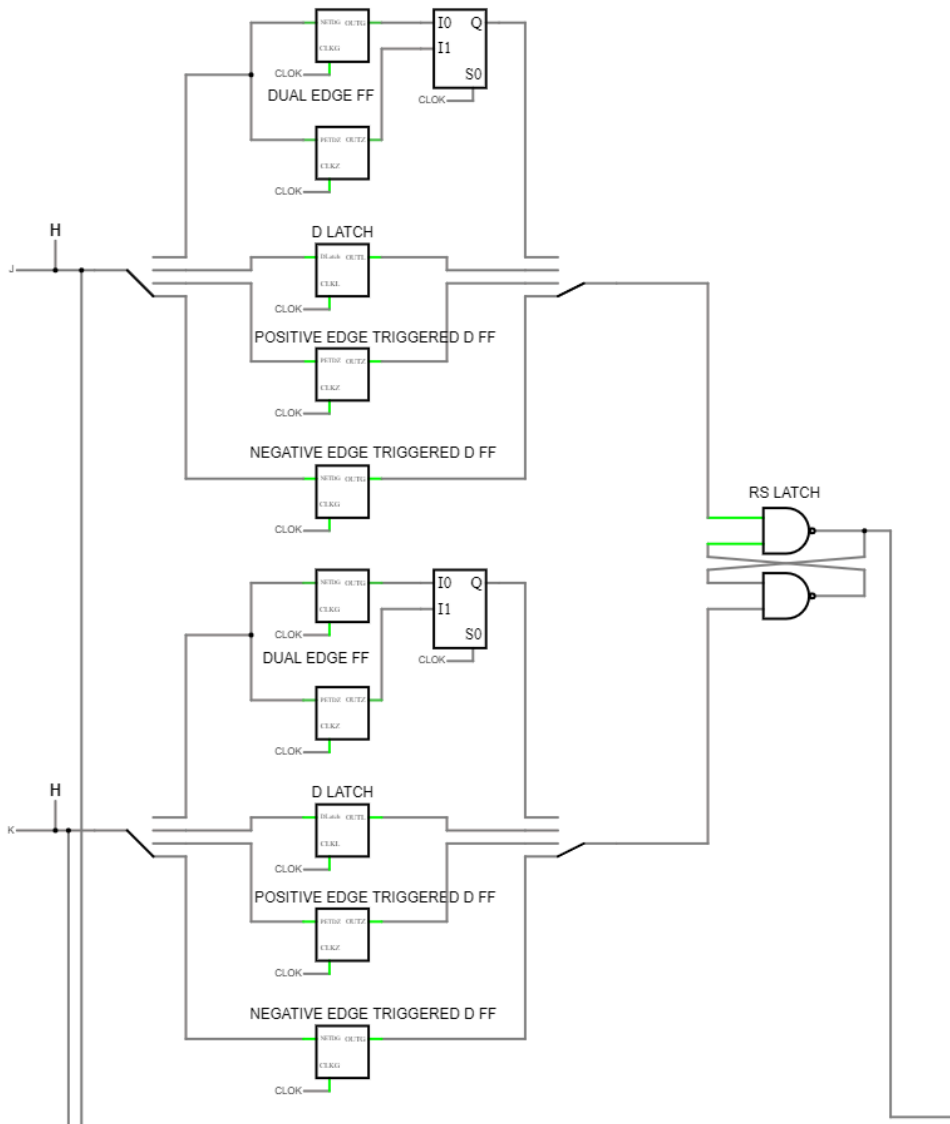
Výstup tohoto obvodu však není výstupem klopného obvodu JK, protože dosavadní hardware neřeší stav toglování ($J=K=1$). Toglování je funkcionalita shodná s klopným obvodem typu T, kterou aktivujeme v případě, že je tedy $J=K=1$ a kterou přes multiplexer na výstupu RS latche nastavíme na výstup. Tím jsme získali 16tinásobek všech možných zapojení až po RS latch (těch je $4 \times 4 = 16$). $16 \times 16 = 256$, existuje nejméně 256 různých JK klopných obvodů!

Konstrukce nejméně 256 JK FlipFlopů/Latchů

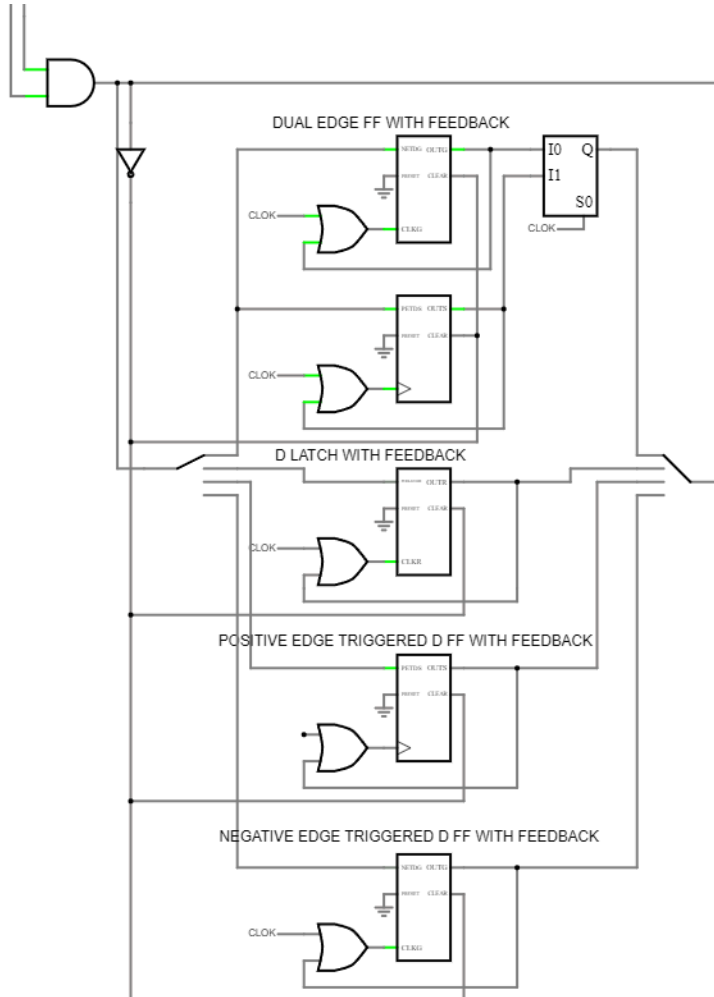
Konstrukci si ukážeme nejprve v hrubém náhledu. Horní část ukazuje D flipflopů a latche na vstupech J a K. V pravé horní části je RS latch a výstupní multiplexer. Všimněme si, že výstup řídí toglovací část obvodu. V levé spodní části vidíme D flipflopů a latch, které rozhodují, kdy obvod poprvé zatogluje. V pravé spodní části pak vidíme obvody, které toglují.



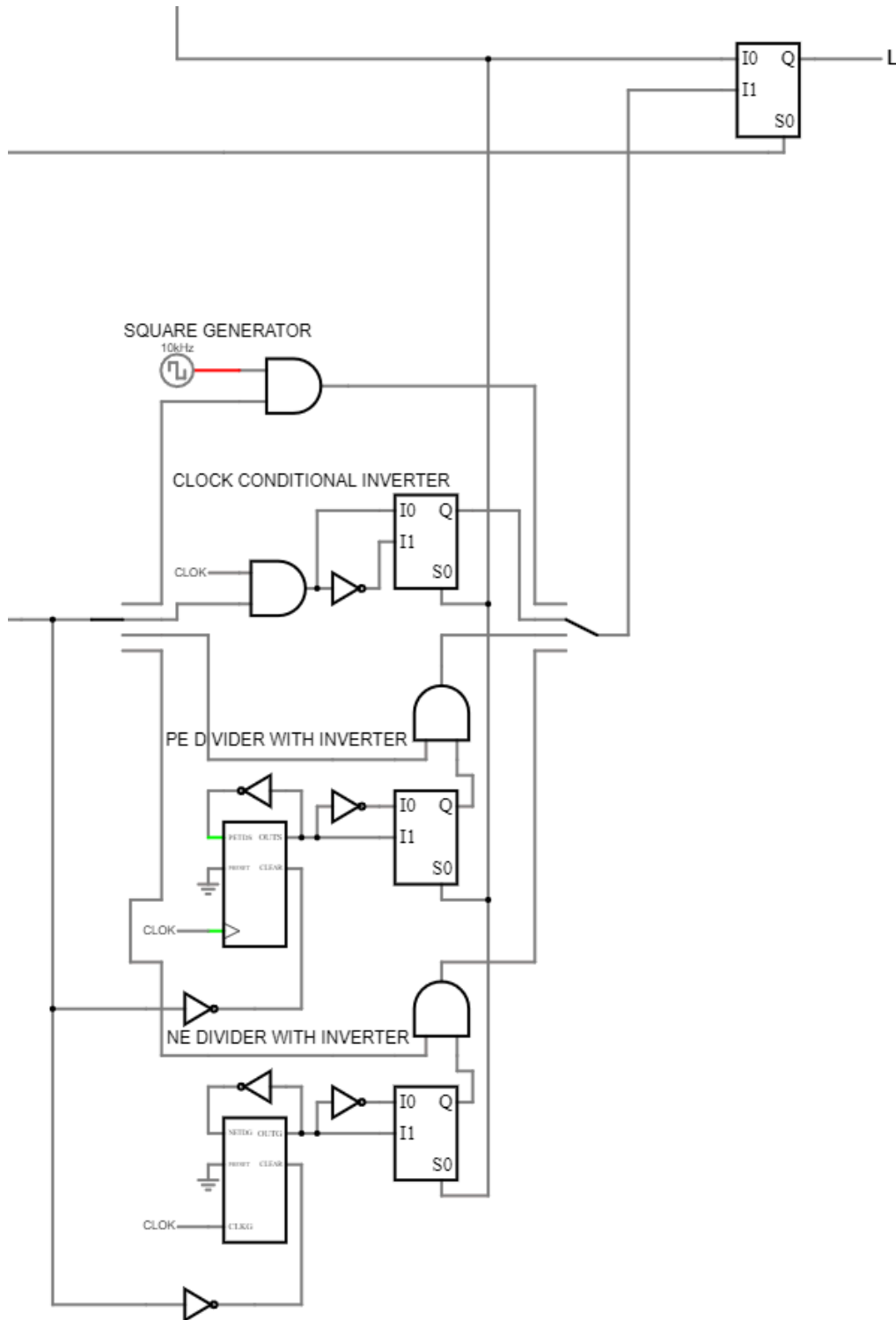
V následující části schémata vidíme první dva bloky spojené muxem. Tyto dva bloky jsou Positive Edge Triggered D Flip Flop a Negative Edge Triggered D Flip Flop, dohromady Dual Edge D Flip Flop. Pod nimi je PETD, NETD a D latch. Celé schéma se opakuje dvakrát, jednou pro každý vstup (J nebo K). Výstup lze zapojit do RS latch z toho důvodu, že zakázaný stav 1,1 je za takové situace závěrečným multiplexerem ignorován a ke stavu vyžadujícímu paměť je nutné projít přes právě jeden vstup high..



Princip obvodu, který rozhoduje, kdy toglovací část “poprvé zatogluje”, je postavený na tom, že pokud hradlem OR napojíme zpětnou vazbu z výstupu do vstupu, obvod je aktivován “jednou pro vždy”, tedy dokud mu na CLEAR pin nepřivedeme high (tedy negaci informace o tom, zda jsme ve stavu $J=K=1$). Jinak řečeno nejsme-li ve stavu toglování, rozhodovací Dčka jsou resetována.



Toglovací obvody žijí svým vlastním životem a my si z nich jen zapůjčujeme jejich stav, a to výběrem signálu nebo jeho negace multiplexerem řízeným stavem, který byl naposledy na výstupu z RS latche. Tento postup způsobí, že aktivní "první zatoglování" přes hradlo AND generuje signál, který skutečně zatogluje proti poslednímu známému stavu (tedy výstup je změněn, nikoliv ponechán). Generátor obdélníku reprezentuje stav, kdy toglujeme s periodou limitně se blížící nule, druhá část obvodu kopíruje, nebo neguje hodiny a 3 a 4 část je dvojnásobek hodin na sestupné a vzestupné hraně.



Při výběru jednoho ze zmíněných nejméně 256ti možných obvodů může dojít ke zjednodušení konstrukce.

Na závěr bych chtěl před JK flipflopem varovat, změna každého z parametrů tohoto obvodu může významně ovlivnit obvod, který je kolem tohoto flipflopů vytvořen. Celý obvod jako data pro falstad naleznete v souboru [256 JK flipflopů na stránkách autora] (<https://ceneksvoboda.eu/256JKFlipFlop.txt>).

© 2024 Čeněk Svoboda
<https://ceneksvoboda.eu>